

RS

2
7-6-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

| | | |
|--------------------------------|---|----------------------------|
| In re Patent Application of: |) | |
| |) | |
| Kazuhisa KOGURE, et al. |) | |
| |) | Group Art Unit: Unassigned |
| Serial No.: To be assigned |) | |
| |) | Examiner: Unassigned |
| Filed: December 6, 2000 |) | |
| |) | |
| For: CLOCK REGENERATION |) | |
| CIRCUIT AND OPTICAL |) | |
| SIGNAL RECEIVER USING |) | |
| THE SAME |) | |

JC921 U.S. PTO
09/729949
12/06/00

SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. §1.55

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. §1.55, the applicant submits herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2000-005119

Filed: January 14, 2000.

It is respectfully requested that the applicant be given the benefit of the foreign filing date as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. §119.

Respectfully submitted,
STAAS & HALSEY LLP

Date: December 6, 2000

By: _____

James D. Halsey, Jr.
Registration No. 22,729

700 Eleventh Street, N.W.
Suite 5000
Washington, D.C. 20001
(202) 434-1500

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC921 U.S. PTO
09/729949
12/06/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 1月14日

出 願 番 号

Application Number:

特願2000-005119

出 願 人

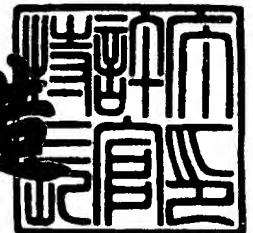
Applicant (s):

富士通株式会社

2000年10月13日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 9951248

【提出日】 平成12年 1月14日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H04L 7/027
H04B 10/17

【発明の名称】 クロック再生回路及びこれを用いた光信号受信器

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 木暮 和久

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山田 宏

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デジタル・テクノロジー株式会社内

【氏名】 須田 篤

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【手数料の表示】

【予納台帳番号】 030708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック再生回路及びこれを用いた光信号受信器

【特許請求の範囲】

【請求項 1】 電圧制御発振器を備え、該電圧制御発振器の発振周波数信号を受信信号の位相に同期させる PLL 回路と、

該電圧制御発振器の発振周波数信号の基本波成分と、該発振周波数信号の分周信号の高調波成分とを同時に抽出可能の通過帯域幅を有する帯域通過フィルタを備え、受信信号のクロック成分を抽出するクロック抽出回路と、

該クロック抽出回路の出力と該電圧制御発振器の発振周波数との周波数差を検出する周波数比較器と、

該周波数比較器の検出出力で前記 PLL 回路の電圧制御発振器の発振周波数を制御するフィルタと、

前記受信信号のビットレートを検出するビットレート検出回路と、

該ビットレート検出回路により検出されるビットレートに対応する、前記 PLL 回路の電圧制御発振器の発振周波数若しくはこれを分周した周波数信号を再生クロック信号として出力する周波数選択回路を有することを特徴とするクロック再生回路。

【請求項 2】 請求項 1 において、

前記クロック抽出回路は、更に

前記受信信号をその半周期分遅延する遅延回路と、

該遅延回路の出力と該受信信号との排他的論理和を求める EX-OR 回路とを備え、

該 EX-OR 回路の出力を、前記帯域通過フィルタに導く様に構成されたことを特徴とするクロック再生回路。

【請求項 3】 請求項 1 において、

前記ビットレート検出回路は、

前記受信信号と、前記 PLL 回路の電圧制御発振器の発振周波数信号との論理積を取る第 1 のアンドゲートと、

該第 1 のアンドゲートの出力を前記電圧制御発振器の発振周波数信号の 1 周期

分遅延する遅延回路と、

該第 1 のアンドゲートの出力及び、該遅延回路の出力の論理積を取る第 2 のアンドゲートと、

該アンドゲートの出力の平均値を求める回路を
有することを特徴とするクロック再生回路。

【請求項 4】請求項 1 において、

前記ビットレート検出回路は、前記受信信号と、該受信信号を反転した信号を
合成するアンドゲートと、

該アンドゲートの出力の平均値を求める回路を
有することを特徴とするクロック再生回路。

【請求項 5】請求項 1 において、

前記ビットレート検出回路は、前記受信信号と、該受信信号を反転した信号を
合成するアンドゲートと、

該アンドゲートの出力の変化点をカウントする回路を
有することを特徴とするクロック再生回路。

【請求項 6】受信光信号を受信電気信号に変換する受光素子と、

電圧制御発振器を備え、該電圧制御発振器の発振周波数信号を該受信電気信号
の位相に同期させる PLL 回路と、

該電圧制御発振器の発振周波数信号の基本波成分と、該発振周波数信号の分周
信号の高調波成分とを同時に抽出可能の通過帯域幅を有する帯域通過フィルタを
備え、受信信号のクロック成分を抽出するクロック抽出回路と、

該クロック抽出回路の出力と該電圧制御発振器の発振周波数との周波数差を検
出する周波数比較器と、

該周波数比較器の検出出力で前記 PLL 回路の電圧制御発振器の発振周波数を
制御するループフィルタと、

該 PLL 回路出力の周波数タイミングで、前記受信電気信号のレベルを識別し
、識別データを出力する識別器と、

前記受信信号のビットレートを検出するビットレート検出回路と、

該ビットレート検出回路により検出されるビットレートに対応する、前記 PL

L回路の電圧制御発振器の発振周波数若しくはこれを分周した周波数信号を再生クロック信号として出力する周波数選択回路を有することを特徴とする光信号受信器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック再生回路に関し、特にビット周波数に依存しないでクロック抽出を可能とするビットフリークロック再生回路及びこれを用いた光信号受信器に関する。

【0002】

【従来の技術】

伝送装置において、自己同期型として受信信号のクロックを抽出し、これに同期して受信信号の受信タイミングを決定することが行なわれている。このために受信信号からクロックを抽出するクロック再生回路が必要である。

【0003】

これまで、伝送システムにおいて、一般に受信信号におけるクロックのビットレートは既知であり、これに対応して受信器側のクロック再生回路が構成されていた。そして、SAWフィルタを用いたり、あるいはPLL方式を用い、専ら単一の周波数のクロックを抽出再生する回路がクロック再生回路として用いられている。

【0004】

一方、近年は光伝送システムが普及し、更に光多重化信号により大容量の伝送を可能としている。

【0005】

図1は、光伝送システムの一例であり、送信側装置20において、多重化装置200で信号を多重化し、これを光送信器201で単一の波長の光信号に変換して光ファイバ伝送路22を通して、受信側装置21に送り出す構成である。

【0006】

受信側装置21は、受信光を受光素子210で電気信号に変換し、プリアンプ

2 1 1 及び、主増幅器 2 1 2 で所定レベルまで増幅する。さらに増幅された受信信号は、識別器 2 1 4 及びクロック再生回路 2 1 3 に送られる。

【 0 0 0 7 】

クロック再生回路 2 1 3 では、受信信号の周波数に同期したクロック信号を抽出する。抽出されたクロック信号のタイミングで識別器 2 1 4 において、受信信号がデータとして識別、出力される。さらに、クロック信号は、多重分離回路 2 1 5 に送られ、識別器 2 1 4 で識別出力された受信信号の多重化が分離される。

【 0 0 0 8 】

ここで、図 1 のごとき光伝送システムでは、その伝送容量に応じて、1 5 5 M b / s , 6 2 2 M b / s あるいは、2 . 4 G b / s のクロック周波数の光伝送信号が用いられる。したがって、光受信側装置 2 1 のクロック再生回路 2 1 3 は、伝送システムで用いられるクロック周波数に対応したそれぞれ異なるクロック再生回路 2 1 3 を用意することが必要である。

【 0 0 0 9 】

また、近年光通信において、光波長多重伝送 (WDM : Wavelength Division Multiple) 方式により周波数分割多重された大容量の光信号を送信する光波長多重通信システムの開発及び実用化が進められている。図 2 はかかる光波長多重伝送システムの構成例である。送信側装置として既存システム 3 0 は、複数の光信号を生成出力する信号源である。

【 0 0 1 0 】

既存システム 3 0 からの個別の光信号を受光し、光 / 電気信号変換器 3 1 において対応する電気信号に変換する。光 / 電気信号変換器 3 1 で電気信号に変換され、所定の信号処理を施され再び、電気 / 光信号変換器 3 2 で光信号変換される。

【 0 0 1 1 】

そして、電気 / 光信号変換器 3 2 からの複数の光信号は、光多重化装置 3 3 において、信号毎に対応する波長の光信号に変換されて光波長多重化信号として光伝送路 3 4 に送り出される。

【 0 0 1 2 】

光伝送路 3 4 を伝播した波長多重光信号は受信側装置の光多重分離装置 3 5 に入力する。ここで、波長多重光信号は、波長毎に個別の光信号に分離され、対応する光／電気信号変換器 3 6 により電気信号に変換される。

【 0 0 1 3 】

そして、必要により、再び電気／光信号変換器 3 7 により光信号に変換され、既存システム 3 8 において、電気信号に変換され、波長毎に個別の光信号が処理される。

【 0 0 1 4 】

したがって、上記図 2 のシステム例では、既存システムにおいて、波長毎に対応するクロック再生回路が必要となる。

【 0 0 1 5 】

【発明が解決しようとする課題】

上記の従来システムにおける問題に鑑みて、本発明の目的は複数のクロック信号に対し共通の回路でクロック抽出を可能とすることを目的とする。

【 0 0 1 6 】

さらに、本発明の目的は、光受信器に用いられる時、波長多重された光受信信号の異なるビットレートのクロックを 1 種類の回路構成で抽出可能とするビットフリークロック再生回路及びこれを用いた光信号受信器を提供することにある。

【 0 0 1 7 】

【課題を解決するための手段】

本発明の課題を解決するクロック再生回路における基本的概念は、通過周波数範囲の広いバンドパスフィルタを有するクロック抽出回路を備え、PLL 回路における電圧制御発振器の発振周波数を信号の基本波は又は高調波に一致させる。その後信号との位相を識別最適点に制御する。ついで、出力信号のデータのビットレートを検出し、信号と同期したクロックを再生する。これによりビットフリーのクロック再生器及び、これを用いる光信号受信器を実現する。

【 0 0 1 8 】

そして、好ましい構成として、本発明に従うクロック再生器は、電圧制御発振器を備え、前記電圧制御発振器の発振周波数信号を受信信号の位相に同期させる

P L L回路と、前記電圧制御発振器の発振周波数信号の基本波成分と、前記発振周波数信号の分周信号の高調波成分とを同時に抽出可能の通過帯域幅を有する帯域通過フィルタを備え、受信信号のクロック成分を抽出するクロック抽出回路と、前記クロック抽出回路の出力と該電圧制御発振器の発振周波数との周波数差を検出する周波数比較器と、前記周波数比較器の検出出力で前記P L L回路の電圧制御発振器の発振周波数を制御するループフィルタと、前記受信信号のビットレートを検出するビットレート検出回路と、前記ビットレート検出回路により検出されるビットレートに対応する、前記P L L回路の電圧制御発振器の発振周波数若しくはこれを分周した周波数信号を再生クロック信号として出力する周波数選択回路を有することを特徴とする。

【 0 0 1 9 】

また、好ましくは、前記クロック抽出回路は、更に前記受信信号をその半周期分遅延する遅延回路と、前記遅延回路の出力と該受信信号との排他的論理和を求めるE X - O R回路とを備え、前記E X - O R回路の出力を、前記帯域通過フィルタに導く様に構成されたことを特徴とする。

【 0 0 2 0 】

さらに、好ましくは、前記ビットレート検出回路は、前記受信信号と、前記P L L回路の電圧発振器の発振周波数信号との論理積を取る第1のアンドゲートと、前記第1のアンドゲートの出力を前記電圧発振器の発振周波数信号の1周期分遅延する遅延回路と、前記第1のアンドゲートの出力及び、前記遅延回路の出力の論理積を取る第2のアンドゲートと、前記アンドゲートの出力の平均値を求める回路を有する。

【 0 0 2 1 】

さらにまた、好ましくは、前記ビットレート検出回路は、前記受信信号と、前記受信信号を反転した信号を合成するアンドゲートと、前記アンドゲートの出力の平均値を求める回路を有することを特徴とする。

【 0 0 2 2 】

また好ましくは、前記ビットレート検出回路は、前記受信信号と、該受信信号を反転した信号を合成するアンドゲートと、前記アンドゲートの出力の変化点を

カウントする回路を有することを特徴とする。

【 0 0 2 3 】

本発明の更なる特徴は、以下の本発明の実施の形態の説明から明らかになる。

【 0 0 2 4 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に従い説明する。なお、図において同一又は類似のものには同一の参照数字又は参照記号を付して説明する。

【 0 0 2 5 】

図 3 は光受信器に適用された、本発明に従うクロック再生回路の実施例構成を示す図である。図 3 において、受光素子 1 により受信光信号は電気信号に変換される。電気信号に変換された受信光信号は、プリアンプ 2 及び主増幅器 3 を通して識別可能のレベルまで増幅される。

【 0 0 2 6 】

主増幅器 3 の出力は、本発明による特徴を有するクロック再生回路を構成するクロック抽出回路 1 5 及び P L L 回路 4 に入力される。

【 0 0 2 7 】

クロック抽出回路 1 5 のクロック成分生成回路 1 2 において、入力された受信信号からクロック成分が出力される。次いで、帯域幅の広いクロック抽出機能部としてのバンドパスフィルタ 1 3 において、クロック周波数成分が抽出される。

【 0 0 2 8 】

バンドパスフィルタ 1 3 の出力は、A G C 増幅器 1 4 により増幅されて周波数比較器 1 6 に入力される。

【 0 0 2 9 】

周波数比較器 1 6 において、A G C 増幅器 1 4 からのクロック周波数と、選択回路 8 を通して入力される P L L 回路 4 の電圧制御発振器 7 の出力周波数とが比較される。

【 0 0 3 0 】

周波数比較において一致した時点で、選択器 8 の出力方向を切り替え、位相比較器 5 で主増幅器 3 からの受信信号と電圧制御発振器 7 の出力との位相比較を行

なう。

【 0 0 3 1 】

ここで、バンドパスフィルタ 1 3 の帯域幅と、電圧制御発振器 7 の制御範囲を図 4 のように一致させておく。すなわち、図 4 A はバンドパスフィルタ 1 3 の通過帯域特性であり、実施例として 1 . 3 5 G H z ~ 2 . 7 G H z の通過帯域幅を有する。一方、図 4 B は電圧制御発振器 7 の制御電圧対発振周波数特性を示す図である。

【 0 0 3 2 】

図 4 B に示すように、電圧制御発振器 7 は、制御電圧 $V_1 \sim V_2$ の範囲でバンドパスフィルタ 1 3 の通過帯域幅に対応する様に、1 . 3 5 G H z ~ 2 . 7 G H z の周波数信号を出力する。かかる設定により、キャプチャレンジが広がる。

【 0 0 3 3 】

例えば、上記図 4 に示す例の如くバンドパスフィルタ 1 3 と、電圧制御発振器 7 の周波数範囲を 1 . 3 5 G H z ~ 2 . 7 G H z に設定し、入力信号が 1 5 5 M b / s とする場合、バンドパスフィルタ 1 3 からは、1 5 5 M b / s の入力信号の高調波成分である 2 . 4 G H z のクロック成分が出力される。

【 0 0 3 4 】

このクロック成分と、電圧制御発振器 7 の出力周波数が周波数比較器 1 6 で一致するまで、ループフィルタ 6 を通して電圧制御発振器 7 が電圧制御される。

【 0 0 3 5 】

この様にして、本発明では、周波数範囲の整数分の 1 のビットレートを受信できビットレートフリーが実現できる。

【 0 0 3 6 】

次いで、電圧制御発振器 7 の発振周波数は、識別器 9 に入力されるとともに、ビットレート検出器 1 0 に入力する。識別器 9 は、電圧制御発振器 7 の発振周波数タイミングで受信信号のレベルを検出し、受信データとして出力する。

【 0 0 3 7 】

なお、上記実施例として 1 5 5 M b / s としたが、本発明の適用はこれに限定されない。すなわち、既存のビットレートである 1 5 5 M b / s 、 6 0 0 M b /

s、2.4Gb/sに適用できる他、これら既存のビットレート以外、例えば125Mb/sにも適用可能である。

【0038】

ビットレート検出器10は、識別器9の出力データを入力し、電圧制御発振器7の発振周波数タイミングでこのデータのビットレートを検出する。そして、クロック選択回路11でビットレートと一致するクロックを選択し出力する。

【0039】

なお、ビットレート検出器10におけるビットレート検出方法として、後に詳細に説明するように、データをRZ信号に変換する方法と、データのエッジを検出する方法がある。

【0040】

図5は、上記図3の実施例ブロック図における詳細回路例である。

【0041】

識別回路9はフリップフロップで構成され、クロック抽出回路15のクロック成分生成回路は、図6に示すように遅延回路120と排他的論理和（EX-OR）回路121で構成される。排他的論理和（EX-OR）回路121の出力がバンドパスフィルタ13に入力される。

【0042】

このクロック抽出回路15は、入力信号の f_0 成分を利用するもので、図6に示す回路において、説明をわかりやすくするために入力信号を"1","0"交番とした場合には、図6における各部の出力波形は図7の①～③のようになる。

【0043】

基本的に入力波形は矩形波であるとして、排他的論理和（EX-OR）回路121の出力③は式1に示すように周期パルスとなる。

【0044】

【数1】

$$v(t) = \frac{t_0}{T} \sum_{n=1}^{\infty} \frac{2}{n\pi} \sin \frac{n\pi}{T} t \cdot \cos n\omega t \quad \dots \text{式1}$$

したがって、基本波 f_0 及び、基本波 f_0 の整数分の 1 の各周波数スペクトルは以下のようになる。

【0045】

【数 2】

$f = f_0$ の場合

$$v1(t) = a_0 + a_1 \cos 2\pi f_0 t + a_2 \cos 4\pi f_0 t + a_3 \cos 6\pi f_0 t + \cdots + a_n \cos 2n\pi f_0 t$$

$$\text{但し、} a_0 = \frac{t_0}{T_0} = 1/2, \quad a_n = \frac{2}{n\pi} \sin \frac{n\pi t_0}{T_0} = \frac{2}{n\pi} \sin \frac{n\pi}{2}$$

$f = f_0/2$ の場合

$$v2(t) = a_0 + a_1 \cos 2\pi f_0/2 t + a_2 \cos 4\pi f_0/2 t + a_3 \cos 6\pi f_0/2 t + \cdots + a_n \cos 2n\pi f_0/2 t$$

$$= a_0 + a_1 \cos \pi f_0 t + a_2 \cos 2\pi f_0 t + a_3 \cos 3\pi f_0 t + \cdots + a_n \cos n\pi f_0 t$$

$$\text{但し、} a_0 = \frac{t_0}{T_0} = 1/4, \quad a_n = \frac{2}{n\pi} \sin \frac{n\pi t_0}{T_0} = \frac{2}{n\pi} \sin \frac{n\pi}{4}$$

$f = f_0/3$ の場合

$$v3(t) = a_0 + a_1 \cos 2/3\pi f_0 t + a_2 \cos 4/3\pi f_0 t + a_3 \cos 2\pi f_0 t + \cdots + a_n \cos n/3\pi f_0 t$$

$$\text{但し、} a_0 = \frac{t_0}{T_0} = 1/6, \quad a_n = \frac{2}{n\pi} \sin \frac{n\pi t_0}{T_0} = \frac{2}{n\pi} \sin \frac{n\pi}{6}$$

$f = f_0/4$ の場合

$$v4(t) = a_0 + a_1 \cos 1/2\pi f_0 t + a_2 \cos \pi f_0 t + a_3 \cos 3/2\pi f_0 t + a_4 \cos 2\pi f_0 t + \cdots + a_n \cos n/4\pi f_0 t$$

$$\text{但し、} a_0 = \frac{t_0}{T_0} = 1/8, \quad a_n = \frac{2}{n\pi} \sin \frac{n\pi t_0}{T_0} = \frac{2}{n\pi} \sin \frac{n\pi}{8}$$

【0046】

ここで、図 5 及び図 6 のバンドパスフィルタ 13 の通過帯域 BPF を図 8 に示すような広い帯域幅を持つようにすると、 $f = f_0$ の場合及び、 $f = f_0/n$ の場合ともに、上式の $2\pi f_0$ の項だけ選択されてクロック f_0 として出力される。

【 0 0 4 7 】

すなわち、 $f = f_0$ の場合は基本波(第2項)、 $f = f_0/2$ の場合は2次高調波(第3項)、 $f = f_0/3$ の場合は3次高調波(第4項)、 $f = f_0/4$ の場合は4次高調波(第5項)のスペクトル成分が、バンドパスフィルタ13の通過帯域幅BPF内で一致し、出力される。

【 0 0 4 8 】

よって、ビットレート速度がいずれであっても、バンドパスフィルタ13の設定した周波数の高調波成分が存在することになる。

【 0 0 4 9 】

この高調波成分の振幅をAGC増幅器14で一定振幅まで増幅し、先に説明した様に電圧制御発振器7の発振周波数と比較を行なう。

【 0 0 5 0 】

さらに、図5において、ビットレート検出回路10は、その一例として、主要部が図9に示されるように、第1のアンドゲート100、第2のアンドゲート102、遅延回路101及び、平均値検出回路103を有して構成される。

【 0 0 5 1 】

この実施例は、データをRZ信号に変換して検出する方法を実現する構成である。

【 0 0 5 2 】

図10は、図9の各部①～③に対応する波形図である。例えば、入力信号(NRZ信号)①をクロック(f_0)②により、第1のアンドゲート100でRZ信号に変換したもの③と、更にそれを、遅延回路101で f_0 の1周期分遅延させたもの④との論理積⑤を第2のアンドゲート102から出力する。

【 0 0 5 3 】

次いで、アンドゲート102から出力を適当な時定数を持って、平均値検出回路103により平均値を出力することにより検出されるビットレートに対応した電圧出力が可能である。

【 0 0 5 4 】

すなわち、図10に示す例では、ビットレートが $f = f_0/4$ の場合、他のレ

ートに比して大きな平均値出力が得られる。図5において、この平均値検出回路103の出力は、ビットレート検出回路10の後段部にある線形アンプ104で増幅され、A/D変換器105により対応するデジタル信号に変換される。

【0055】

図5において、更にクロック選択回路11は、複数の分周回路111、112とセクタ110を有して構成される。セクタ110には、基本周波数 f_0 と、第1～第n分周信号 $f_1 \sim f_n$ が入力される。したがって、セクタ110は、A/D変換器105からのデジタル信号出力により特定される分周の信号を選択出力する。

【0056】

図11は、ビットレート検出回路10の構成を、データのエッジを利用して検出する場合のビットレート検出回路10の構成を適用する光受信器の構成例である。したがって、図5の光受信器の構成例とは、ビットレート検出回路10の構成のみが異なる。

【0057】

この実施例では、実際の入力波形は信号の変化点で一定の傾きを持っていることを利用する。図12は、これを説明する図である。図12において、データ(DATA)とこれを反転したもの(\neg DATA)とを合成する。図11の実施例では、オアゲート106により、データ(DATA)とこれを反転したもの(\neg DATA)とのオア出力を得る構成である。

【0058】

この合成出力を適当な時定数もって平均値検出回路103により平均値を検出することによりビットレートを検出することができる。あるいは、図12に示す合成した波形の変化点Pをカウントすることによってもビットレートの検出が可能である。

【0059】

また、図11に示す実施例においても、平均値検出回路103の出力以降の扱いは、図5の実施例と同様であるので説明は省略する。

【0060】

【発明の効果】

以上図面に従い実施の形態を説明した様に、本発明により、どのようなビットレートの信号が入力されても確実にクロック信号の再生が可能である。

【0061】

よって、既存のビットレートの伝送路あるいは中継器を利用してビットフリーのネットワークを構成することが出来、非常にシステム構成の柔軟性が高まる。

【0062】

なお、上記発明の実施の形態の説明は、本発明の理解のためであって、本発明の保護の範囲がこれに限定されるものではない。さらに、特許請求の範囲の記載と均等の範囲にあるものも本発明の保護の範囲に含まれるものである。

【図面の簡単な説明】

【図1】

光伝送システムの一例を示す構成例ブロック図である。

【図2】

光波長多重伝送システムの構成例でブロック図である。

【図3】

光受信器に適用された、本発明に従うクロック抽出回路の実施例構成を示す図である。

【図4】

バンドパスフィルタ1の帯域幅と、電圧制御発振器7の制御範囲を説明する図である。

【図5】

図3の実施例ブロック図における詳細回路例である。

【図6】

クロック抽出回路15の主要部構成を示すブロック図である。

【図7】

図6の各部における動作波形図である。

【図8】

図5及び図6のバンドパスフィルタ13の通過帯域を示す図である。

【図 9】

ビットレート検出回路 1 0 の主要部構成を示すブロック図である。

【図 1 0】

図 9 の各部①～③に対応する波形図である。

【図 1 1】

図 3 の実施例ブロック図における第 2 の詳細回路例である。

【図 1 2】

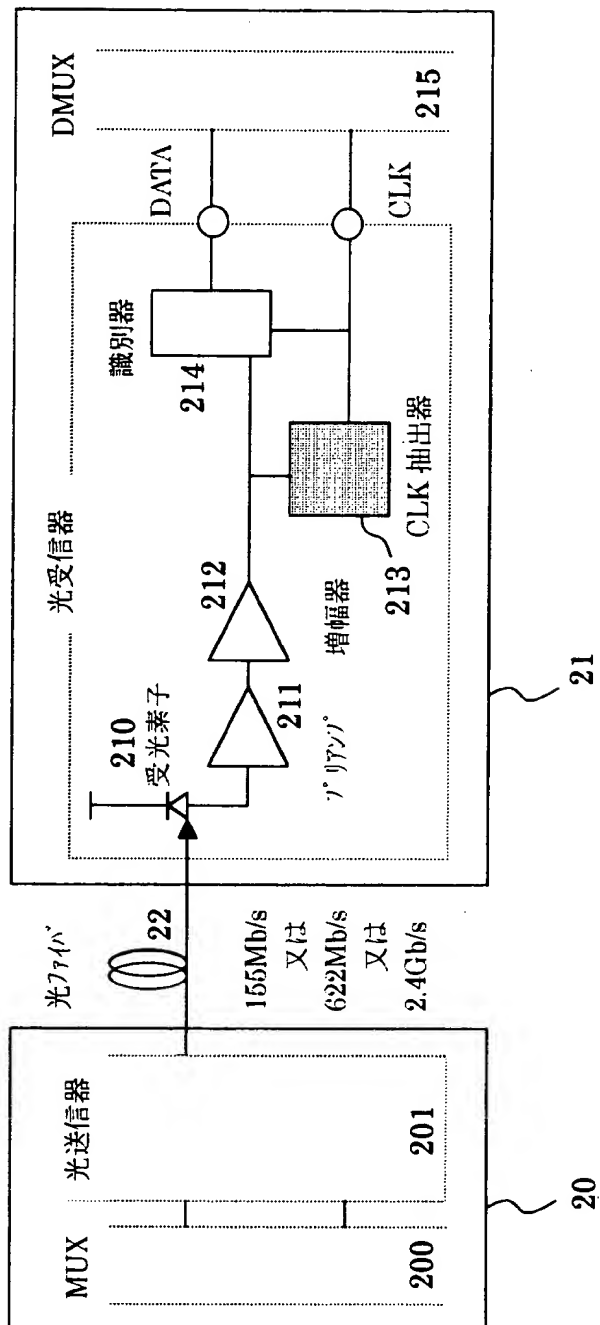
図 1 1 の構成において、データのエッジを利用してビットレートを検出する場合を説明する図である。

【符号の説明】

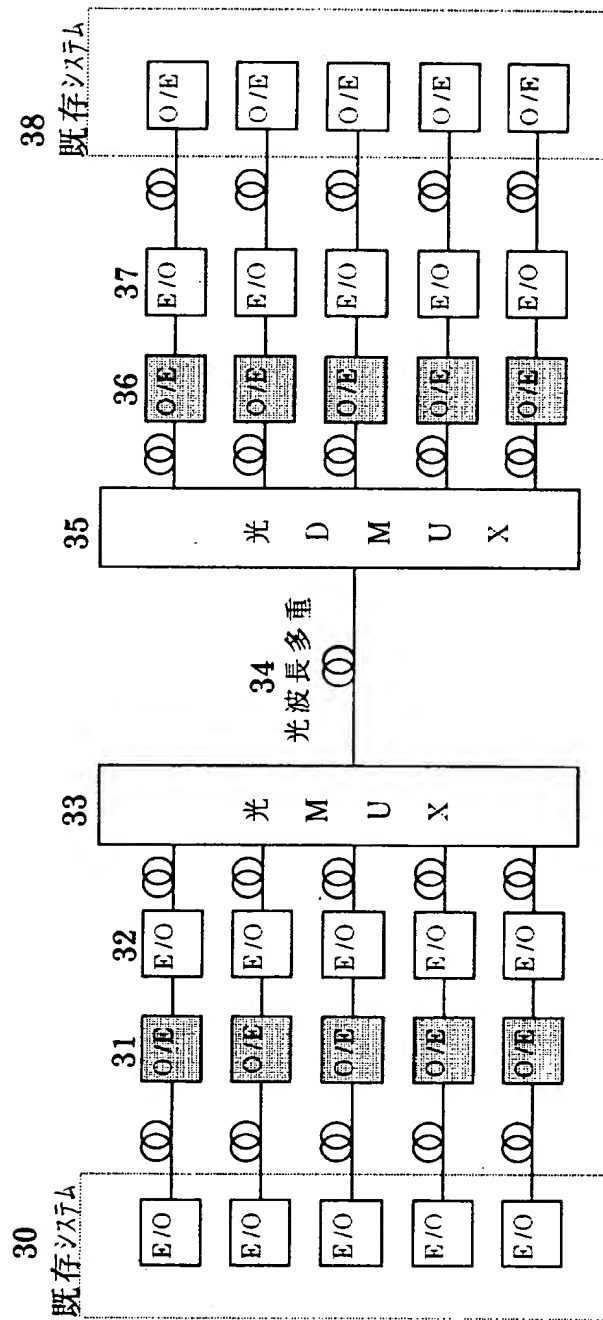
- 1 受光素子
- 2 プリアンプ
- 3 主増幅器
- 4 P L L 回路
- 5 位相比較器
- 6 ループフィルタ
- 7 電圧制御発振器
- 8 選択回路
- 9 識別器
- 1 0 ビットレート検出回路
- 1 1 クロック選択部
- 1 2 クロック成分生成回路
- 1 3 クロック抽出機能部(バンドパスフィルタ)
- 1 4 A G C 増幅器
- 1 5 クロック抽出回路
- 1 6 周波数比較器

【書類名】 図面

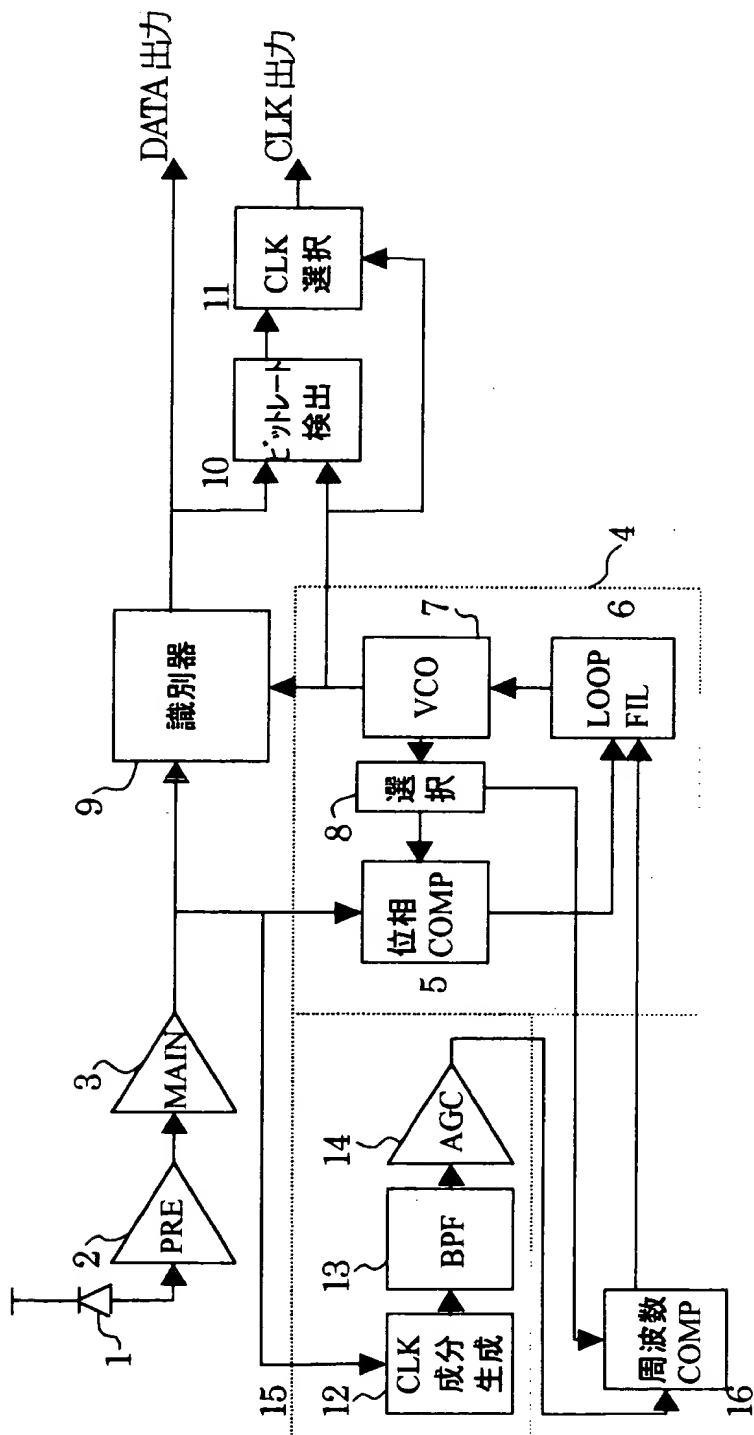
【図 1】



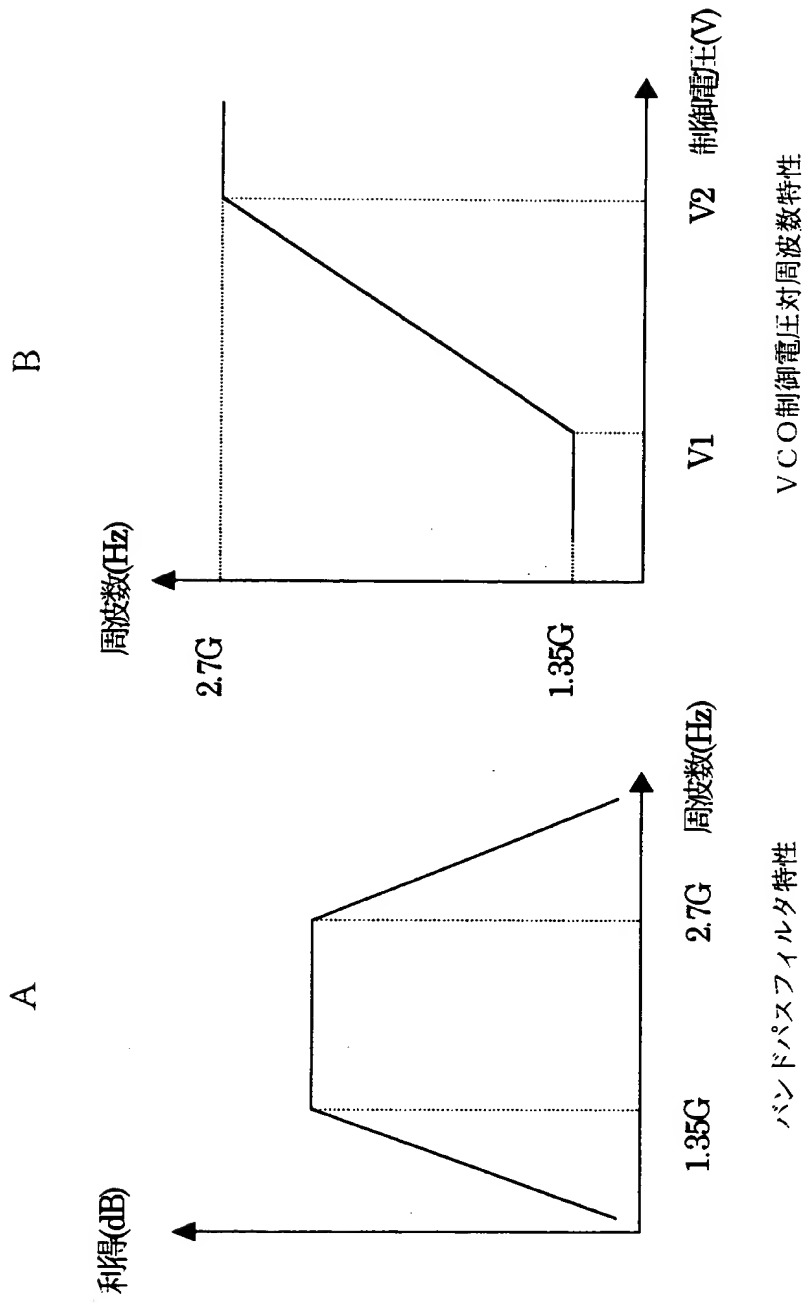
【図 2】



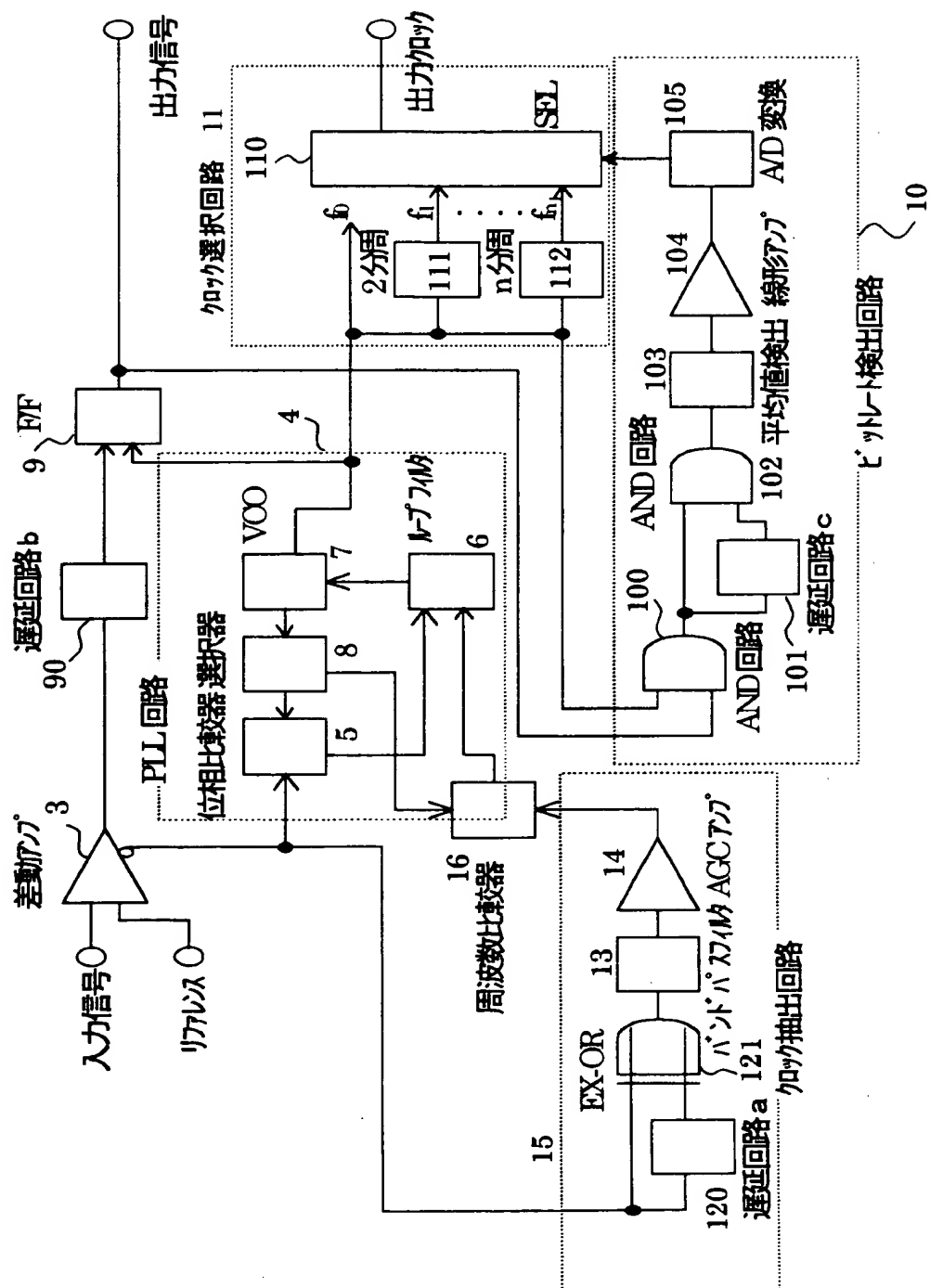
【図 3】



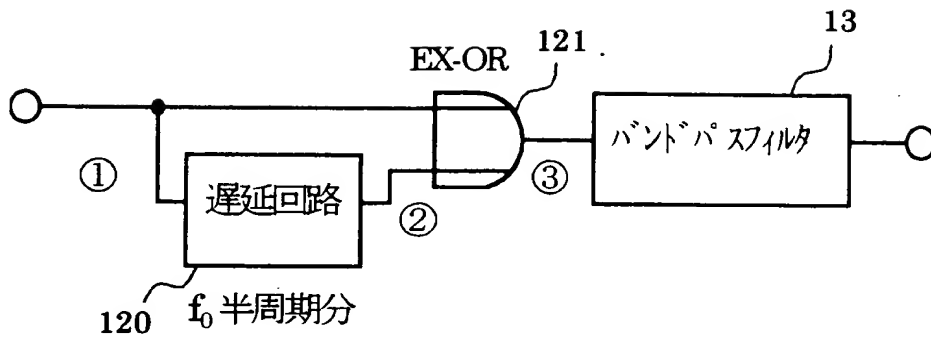
【図 4】



【図 5】

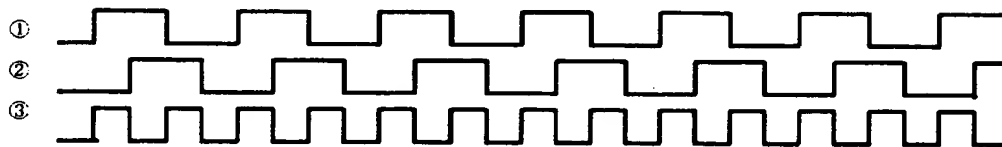


【図 6】

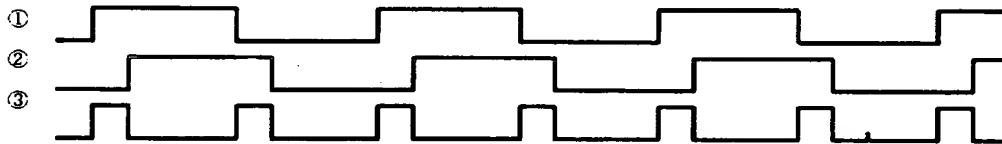


【図 7】

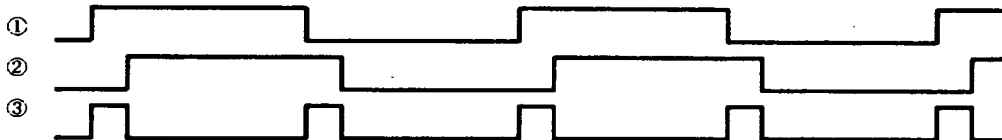
$f = f_0$ の場合



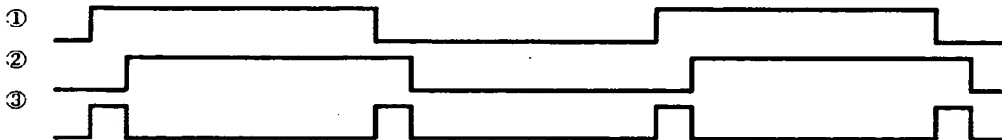
$f = f_0/2$ の場合



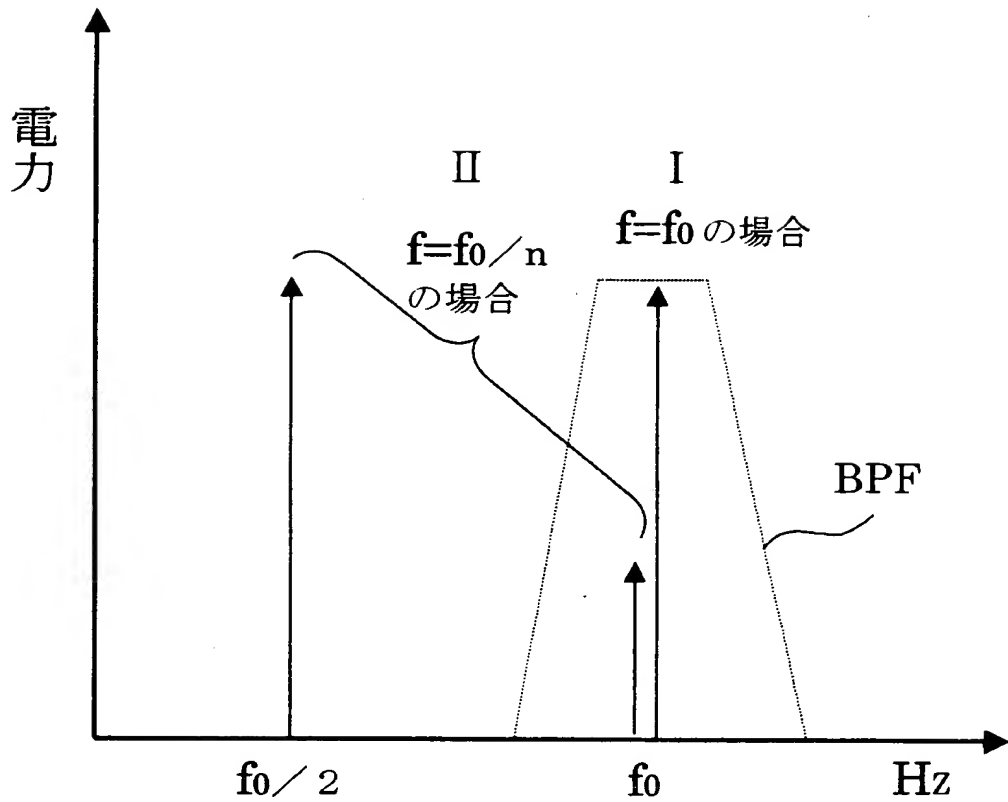
$f = f_0/3$ の場合



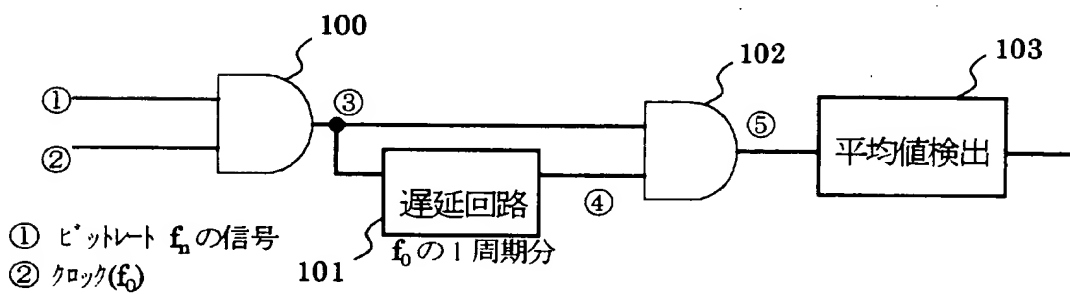
$f = f_0/4$ の場合



【図 8】

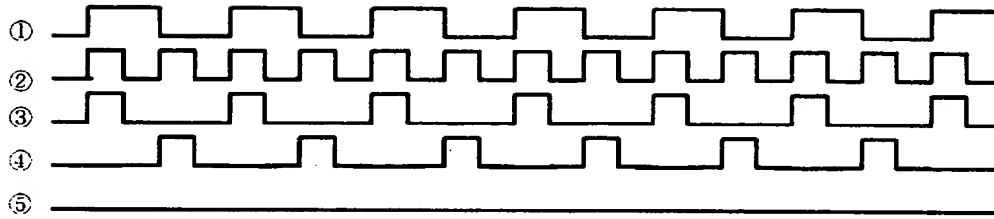


【図 9】

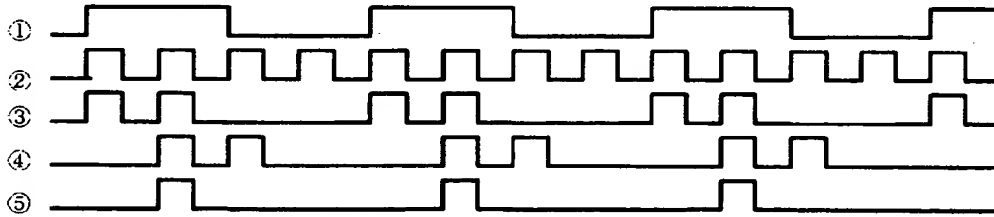


【図 10】

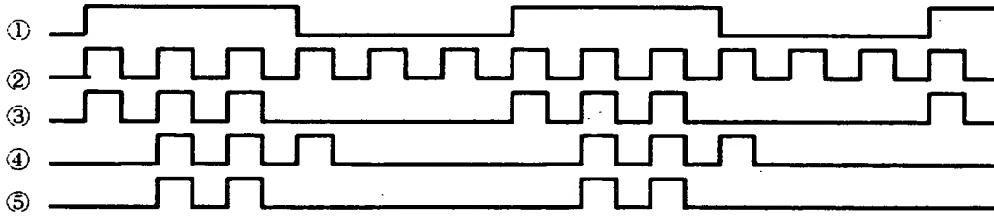
$f = f_0$ の場合



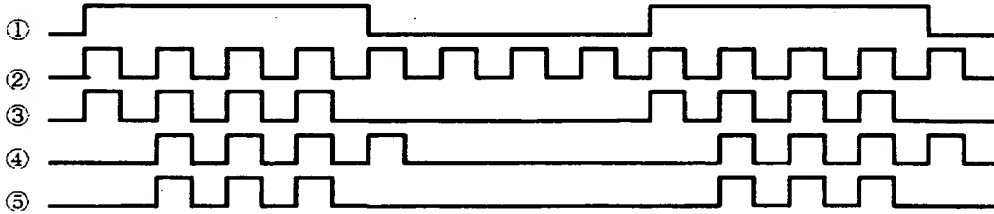
$f = f_0 / 2$ の場合



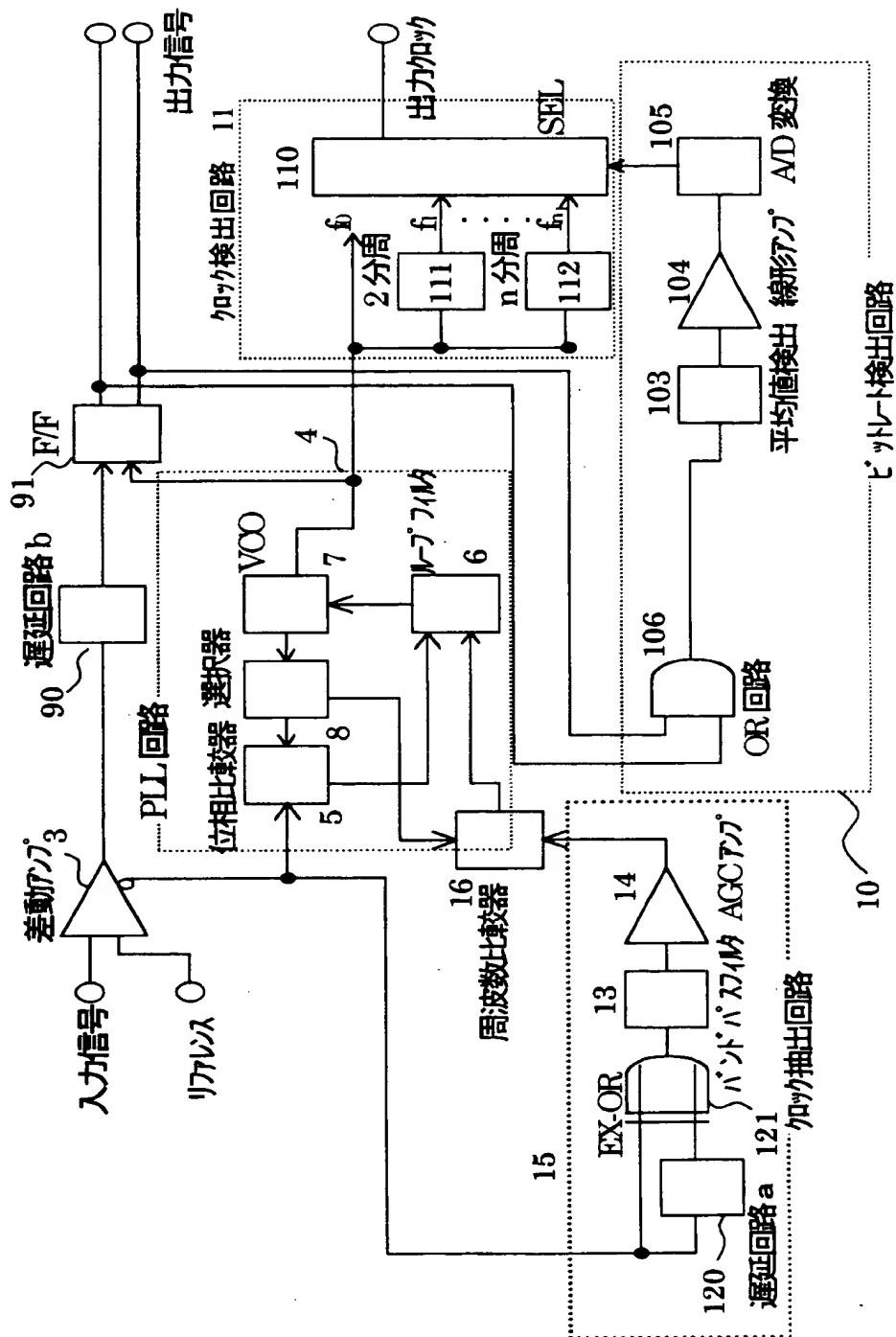
$f = f_0 / 3$ の場合



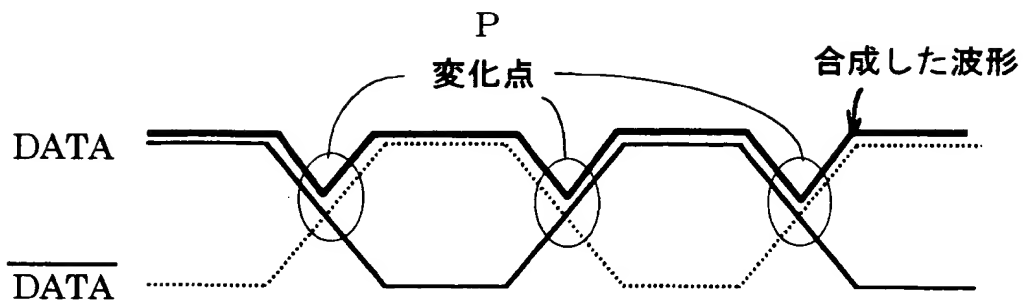
$f = f_0 / 4$ の場合



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】複数のクロック信号に対し共通の回路でクロック抽出を可能とする。さらに、光受信器に用いられる時、波長多重された光受信信号の異なるビットレートのクロックを1種類の回路構成で抽出可能とする。

【解決手段】電圧制御発振器を備え、電圧制御発振器の発振周波数信号を受信信号の位相に同期させるPLL回路と、電圧制御発振器の発振周波数信号の基本波成分と、発振周波数信号の分周信号の高調波成分とを同時に抽出可能の通過帯域幅を有する帯域通過フィルタを備え、受信信号のクロック成分を抽出するクロック抽出回路と、クロック抽出回路の出力と電圧制御発振器の発振周波数との周波数差を検出する周波数比較器と、周波数比較器の検出出力で前記PLL回路の電圧制御発振器の発振周波数を制御するループフィルタと、前記受信信号のビットレートを検出するビットレート検出回路と、
ビットレート検出回路により検出されるビットレートに対応する、前記PLL回路の電圧制御発振器の発振周波数若しくはこれを分周した周波数信号を再生クロック信号として出力する周波数選択回路を有する。

【選択図】 図3

認定・付加情報

| | |
|---------|----------------|
| 特許出願の番号 | 特願 2000-005119 |
| 受付番号 | 50000026366 |
| 書類名 | 特許願 |
| 担当官 | 岡田 幸代 1717 |
| 作成日 | 平成12年 1月20日 |

<認定情報・付加情報>

【特許出願人】

| | |
|----------|-----------------------|
| 【識別番号】 | 000005223 |
| 【住所又は居所】 | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| 【氏名又は名称】 | 富士通株式会社 |

【代理人】

申請人

| | |
|----------|--|
| 【識別番号】 | 100094514 |
| 【住所又は居所】 | 神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所 |
| 【氏名又は名称】 | 林 恒徳 |

【代理人】

| | |
|----------|--|
| 【識別番号】 | 100094525 |
| 【住所又は居所】 | 神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所 |
| 【氏名又は名称】 | 土井 健二 |

出 願 人 履 歴 情 報

識別番号 [000005223]

| | |
|----------|-----------------------|
| 1. 変更年月日 | 1996年 3月26日 |
| [変更理由] | 住所変更 |
| 住 所 | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| 氏 名 | 富士通株式会社 |